

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : CHEN et al.  
Application No. : New Application  
Filed : March 3, 2004  
Title : SCHMITT TRIGGER CIRCUIT REALIZED WITH  
LOW-VOLTAGE DEVICES FOR HIGH-VOLTAGE  
SIGNAL APPLICATIONS  
Docket No. : BHT/3111-425

**MAIL STOP NEW APPLICATION**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**CLAIM TO PRIORITY UNDER 35 U.S.C. § 119**

Sir:

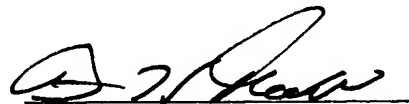
Pursuant to the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, Applicant hereby claims priority from Taiwan Patent Application No. 092132206, filed on November 18, 2003. A certified copy of this application is enclosed.

Acknowledgment of the receipt of the claim to priority, along with the certified copy of the priority document is respectfully requested.

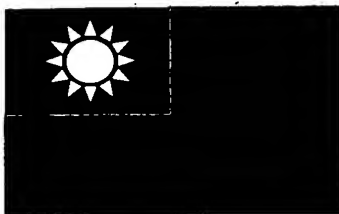
Respectfully submitted,

Date: March 3, 2004

By:

  
Bruce H. Troxell  
Reg. No. 26,592

TROXELL LAW OFFICE PLLC  
5205 Leesburg Pike, Suite 1404  
Falls Church, Virginia 22041  
Telephone: (703) 575-2711  
Telefax: (703) 575-2707



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 11 月 18 日  
Application Date

申請案號：092132206  
Application No.

申請人：上元科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2004 年 2 月 18 日  
Issue Date

發文字號：09320153100  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	可容忍高電壓輸入且用低電壓元件組成的史密特觸發器
	英 文	
二、 發明人 (共2人)	姓 名 (中 文)	1. 陳世倫 2. 柯明道
	姓 名 (英 文)	1. 2.
	國 籍 (中 英 文)	1. 中華民國 TW 2. 中華民國 TW
	住 居 所 (中 文)	1. 台北市八德路三段120號6樓 2. 新竹市寶山路200巷3號4樓之3
	住 居 所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 上元科技股份有限公司
	名稱或 姓 名 (英 文)	1.
	國 籍 (中 英 文)	1. 中華民國 TW
	住 居 所 (營 業 所) (中 文)	1. 新竹市科學工業園區力行路2號2樓 (本地址與前向貴局申請者相同)
	住 居 所 (營 業 所) (英 文)	1.
	代 表 人 (中 文)	1. 盧崑瑞
	代 表 人 (英 文)	1.

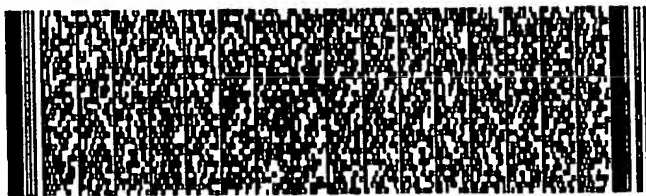


四、中文發明摘要 (發明名稱：可容忍高電壓輸入且用低電壓元件組成的史密特觸發器)

本發明係一種可容忍高電壓輸入且用低電壓元件組成的史密特觸發器，其係提供一史密特觸發器電路

(Schmitt Trigger Circuit)，其係可接收一高輸入電壓信號，但該史密特觸發器之組成僅利用低電壓（薄閘極氧化層）之電子元件所組成，而使一互補式金屬氧化半導體場效電晶體（CMOS）的處理製程之精密度為 $0.13\mu\text{m}$ ，且其閘極耐受電壓為1V和2.5V之電子元件，但該低電壓電子元件卻可工作於電壓為3.3V的界面環境，且其不會引發高電壓對於互補式金屬氧化半導體場效電晶體（CMOS）之閘極氧化層可靠度的問題，並可針對輸入/出（I/O）界面電路，使其能具有接收高輸入電壓信號及排除雜訊的功能者。

五、英文發明摘要 (發明名稱：)



六、指定代表圖

(一)、本案代表圖為：第 圖五 圖

(二)、本案代表圖之元件代表符號簡單說明：

21 ～ 主要電路

22 ～ 第一保護電路

23 ～ 第二保護電路



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

本發明係有關一種可容忍高電壓輸入且用低電壓元件組成的史密特觸發器，尤指一種可容忍高電壓輸入且用低電壓元件組成的史密特觸發器，本發明之主要目的提供一史密特觸發器，並利用複數金屬氧化層半導體場效電晶體加以串組組合，而使其原本可耐受2.5V之電壓增加成為可耐受為3.3V之電壓，以達到低成本且可耐受高電壓之史密特觸發器。

### 【先前技術】

按，如同半導體製程的精進，而使其閘極氧化層變薄，因此電子元件即可適用於高頻及高速的環境中，而於一般的積體電路中，其主電力供應之電壓(VDD)亦隨之降低，但該機板供應電源卻仍然保持在3.3V至5V，就如同主機板內部之延伸週邊元件連接介面匯流排 (Peripheral Component Interconnect extended, PCI) 介面，該高電壓橫跨閘極氧化層 (Gate-oxide) 的問題，於深次微米 (Deep Submicron) 的製程中顯得更加地嚴重，該輸入出 (I/O) 電路設計必須格外的小心，以及避免高電壓破壞電晶體的閘極氧化層。

如圖一所示，其係為傳統輸入緩衝器使用一史密特觸發器電路再經由一位準轉換器將電壓信號VCC轉換到VDD，其係由一鉅墊 (PAD) 11連接於一輸入緩衝器12，該輸入緩衝器12係為接收輸入端信號及轉換信號擺幅，並將結果

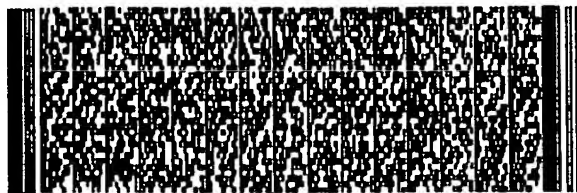
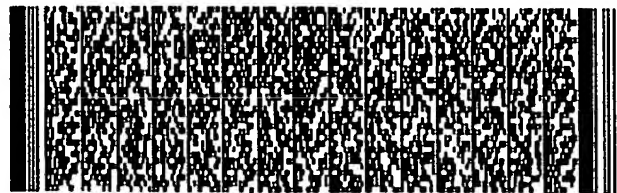


## 五、發明說明 (2)

輸出至一核心電路13。請同時參閱圖二A所示，係為一傳統史密特觸發器之電路圖，電晶體P1、P2、P3、N1、N2及N3皆為輸入出(I/O)元件，如果VCC機板上電壓等於積體電路上的操作電壓VDDQ時，該史密特觸發器電路能正常工作並且不會有過於無高電壓橫跨在閘極氧化層上，其特性曲線如圖二B所示，其特性曲線表現出該史密特觸發器電路於消除雜訊方面較優於傳統之反相器(Inverter)，當輸入信號IN由GND轉態至VCC時，史密特觸發器的轉態電壓是 $V_H$ ，所以當IN電壓上升至 $V_H$ 時，輸出信號OUT才會被開始被下拉；同樣地，當輸入信號IN由VCC轉態至GND時，史密特觸發器的轉態電壓是 $V_L$ ，所以當IN電壓下降至 $V_L$ 時，輸出信號OUT才會開始被上拉。因此，史密特觸發器的消除雜訊能力比傳統反相器好。

其數種習知改良過的史密特觸發器如圖三所示，係為習知之可控制磁滯現象史密特觸發器之電路圖，該額外的交叉電壓VB及電晶體P4、N4皆被使用於控制二起始電壓 $V_L$ 、 $V_H$ 。而多層史密特觸發器電路被提供於調整該二起始電壓使 $V_L$ 、 $V_H$ 兩者之間差距更大。圖四其係顯示該二層史密特觸發器電路，如由於元件的串疊如果電源供應電壓是被降低一般，該電路不能正確的操作。

當VCC是高於VDDQ時，該史密特觸發器電路具有高電壓閘極氧化層的問題，例如：VCC為3.3V及VDDQ為2.5V時，該電晶體P1、P2、P3、N1、N2及N3之閘-源極(Gate-Source)電壓及閘-汲極(Gate-Drain)電壓，於上述圖





#### 五、發明說明 (3)

二A 中將大於2.5V，而所有裝置於圖二A中具有高電壓閘極氧化層問題。在此一前題下，一史密特觸發器電路與低電壓裝置即被提出，該提出的電路手段為金屬氧化半導體場效電晶體 (CMOS) 處理製程之精密度為0.13 $\mu$ m，且其分別耐受電壓為1V至2.5V之電子元件，而其工作環境為電壓為3.3V。

#### 【發明內容】

基於解決以上所述習知技藝的缺失，本發明為一種可容忍高電壓輸入且用低電壓元件組成的史密特觸發器，本發明之主要目的提供一提供一史密特觸發器電路

(Schmitt Trigger Circuit)，其係可接收一高輸入電壓信號，但該史密特觸發器之組成僅利用低電壓 (薄閘極氧化層) 之電子元件所組成，而使一互補式金屬氧化半導體場效電晶體 (CMOS) 的處理製程之精密度為0.13 $\mu$ m，且其耐受電壓擺幅為1V和2.5V之電子元件，但該低電壓電子元件卻可工作於電壓為3.3V的界面環境，且其不會引發高電壓對於互補式金屬氧化層半導體場效電晶體 (CMOS) 之閘極氧化層可靠度的問題，並可針對輸入/出 (I/O) 界面電路，使其能具有接收高輸入電壓信號及排除雜訊的功能者。

為進一步對本發明有更深入的說明，乃藉由以下圖示、圖號說明及發明詳細說明，冀能對貴審查委員於審查工作有所助益。



【實施方式】

茲配合下列之圖式說明本發明之詳細結構，本發明之一種可容忍高電壓輸入且用低電壓元件組成的史密特觸發器，本發明之主要目的提供一史密特觸發器，並利用複數金屬氧化半導體場效電晶體加以串組組合，而使其原本可耐受2.5V之電壓增加成為可耐受為3.3V之電壓，以達到低成本且可耐受高電壓之史密特觸發器，而其標準外部工作電壓VCC為3.3V，其金屬氧化半導體場效電晶體的處理製程之精密度為0.13 $\mu$ m，且分別有其耐受電壓為1V和2.5V的元件。

如圖五所示，其係為較佳之史密特觸發器電路架構圖，其係包括有一主要電路21、一第一保護電路22及一第二保護電路23，而該主要電路21係包括有三個P型及三個N型金屬氧化半導體場效電晶體所組成（P1、P2、P3、N1、N2、N3），並由一節點A及一節點B之電壓控制其動作；該第一保護電路22，其係為四個P型金屬氧化半導體場效電晶體所組成（P4、P5、P6、P7），用以使該節點A大於0.8V；該第二保護電路23，其係為四個N型金屬氧化半導體場效電晶體所組成（N4、N5、N6、N7），用以使該節點B小於2.5V。所有的裝置皆為輸入出（I/O）（VDDQ）裝置，在互補式金屬氧化半導體場效電晶體（CMOS）之精密度為0.13 $\mu$ m，且其耐受電壓擺幅為1V至2.5V之電子元件的處理製程中，VDDQ是2.5V及VDD為1V，因電晶體P3、N3之

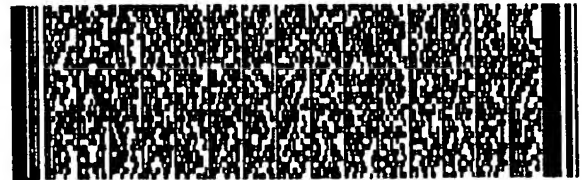


##### 五、發明說明 (5)

汲極是連接於 (VDD)，其電壓為1V，該開-汲極 (Gate-Drain) 電壓將不超過2.5V，其最大之開-汲極 (Gate-Drain) 電壓約在2.3V ( $3.3-1=2.3$ )，因為電晶體P2、N2的開極連接於 (VDD)，其電壓1V，該電晶體P2、N2之開-汲極 (Gate-Drain) 電壓及開-源極 (Gate-Source) 電壓之最大值，約在2.3V ( $3.3-1=2.3$ )，如果電晶體P1的開極電壓 (節點A) 是大於0.8V ( $3.3-2.5=0.8$ )，以及電晶體P2的開極電壓 (節點B) 是小於2.5V，電晶體P1、N1不會有高電壓所造成開極氧化層可靠度的問題。因此，第一保護電路 (電晶體P4、P5、P6及P7) 將會避免電晶體P1開極電壓低於0.8V；及第二保護電路 (電晶體N4、N5、N6及N7) 將會避免電晶體N1開極電壓高於2.5V。

如同信號 IN 是在3.3V (VCC)，節點A是之電壓值約為3.3V，故電晶體P6被開啟，如同信號 IN 達到0V，節點A之值為 $2|V_{tp}|$ ，且電晶體P4、P5為二極體連接構成之電晶體， $|V_{tp}|$ 是I/O元件中普通 $V_t$ 之P型金屬氧化半導體場效電晶體，在互補式金屬氧化半導體場效電晶體 (CMOS) 之精密度為 $0.13\mu m$ ，且其耐受電壓擺幅為1V和2.5V之電子元件的處理製程中， $|V_{tp}|$ 的電壓值約為0.6V，因此，電晶體P1 (節點A) 最小的開極電壓約為1.2V。而由二極體連接構成之電晶體P5、P6能使節點A達到0V之電壓，亦如同信號 IN 長時間因電晶體P5和P6的次臨界電流

(Subthreshold) 電路而使節點A電壓低於0.8V，而一額外電晶體P7是被增加於電晶體P5、P6，當節點A低於1V，



##### 五、發明說明 (6)

電晶體P7被啟動且保持電壓在1V，所以節點A不會因電晶體P5、P6的次臨界電流而低於0.8V。

如同信號 IN 在0V時，因電晶體N6被開啟，節點B幾乎在0V，如同信號 IN 達到3.3V，節點B是電壓擺幅範圍為 $3.3V - 2|V_{tn}|$ ，因N4、N5為二極體連接構成之電晶體， $|V_{tn}|$ 是I/O元件中普通 $V_t$ 之N型金屬氧化半導體場效電晶體，在互補式金屬氧化半導體場效電晶體(CMOS)之精密度為 $0.13\mu m$ ，且其耐受電壓為1V和2.5V之電子元件的處理製程中， $|V_{tn}|$ 約等於0.5V，其最大閘極電壓電晶體N1(節點B)約為2.3V。而由二極體連接構成電晶體N5、N6能使節點B達到3.3V之電壓，亦如同信號 IN 長時間因電晶體N5和N6的次起始電流(Subthreshold)電路而使節點B電壓高於2.5V，而一額外電晶體N7是被增加於電晶體N5、N6，當節點B電壓高於2.5V，電晶體N7被啟動且保持節點B電壓低於2.5V，所以節點B不會因電晶體N5N6的次臨界電流而低於2.5V。電晶體N6是一種電壓2.5V之(native  $V_t$ ) N型金屬氧化半導體場效電晶體來加快節點B電壓的下拉速度，因其電晶體N6之閘-源極(Gate-Source)較小B，所以節點B且緩慢地跟隨信號IN至0V。

圖六，係為信號IN及信號B之模擬特性曲線圖，可比較出電晶體N6是一種(native  $V_t$ ) N型金屬氧化半導體場效電晶體或為一普通N型金屬氧化半導體場效電晶體之間的差異，更當電晶體N6是一種(native  $V_t$ ) N型金屬氧化半導體場效電晶體時，即可顯示出節點B被拉低十分快。



## 五、發明說明 (7)

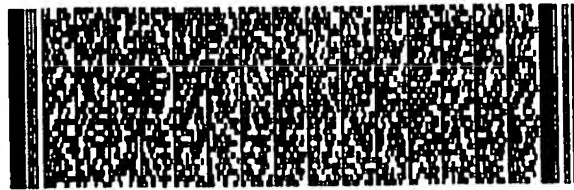
圖七A、B、C分別為圖五之史密特觸發器中之信號IN、信號A、信號B及信號OUT之模擬特性曲線圖顯示出史密特觸發器電路之模擬波形，其中信號A是高於0.8V及信號B是低於2.5V。

圖八，係為本發明史密特觸發器中之模擬轉換特性曲線圖，它具備有磁滯現象之特徵，在此模擬圖中， $V_H$ 約在2.05V及 $V_L$ 約在1.05V左右。

由圖五至圖八之揭示內容觀之，本發明的技術手段為提供一史密特觸發器，並利用複數金屬氧化半導體場效電晶體加以串組組合，而使其原本可耐受2.5V之電壓增加成為可耐受為3.3V之電壓，以達到低成本且可耐受高電壓之史密特觸發器，於產業界上運用時，確可具有極佳之產業競爭能力，故提出專利案之申請以尋求專利權之保護。

綜上所述，本發明之結構特徵及各實施例皆已詳細揭示，而可充分顯示出本發明案在目的及功效上均深富實施之進步性，極具產業之利用價值，且為目前市面上前所未見之運用，依專利法之精神所述，本發明案完全符合發明專利之要件。

唯以上所述者，僅為本發明之較佳實施例而已，當不能以之限定本發明所實施之範圍，即大凡依本發明申請專利範圍所作之均等變化與修飾，皆應仍屬於本發明專利涵蓋之範圍內，謹請貴審查委員明鑑，並祈惠准，是所至禱。



## 圖式簡單說明

### 【圖式簡單說明】

圖一係為傳統輸入緩衝器使用一史密特觸發器電路經由一位準轉換器將VCC轉換到VDD之表示圖。

圖二A係為一傳統史密特觸發器之電路圖。

圖二B係為圖二A之史密特觸發器之特性曲線圖。

圖三係為習知史密特觸發器與可控制磁滯現象之電路圖。

圖四係為習知之雙層史密特觸發器之電路圖。

圖五係為本發明之較佳史密特觸發器之電路圖。

圖六係為信號IN及信號B之模擬特性曲線圖。

圖七A係為圖五之史密特觸發器中之信號IN之模擬特性曲線圖。

圖七B係為圖五之史密特觸發器中之信號A及信號B之模擬特性曲線圖。

圖七C係為圖五之史密特觸發器中之信號OUT之模擬特性曲線圖。

圖八係為本發明史密特觸發器中之模擬轉換特性曲線圖。

### 圖號說明：

11 ~ 焊墊

12 ~ 輸入緩衝器

13 ~ 往核心電路之連接線

21 ~ 主要電路



圖式簡單說明

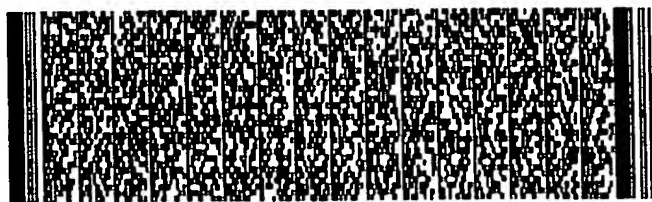
22 ～ 第一保護電路

23 ～ 第二保護電路



## 六、申請專利範圍

1. 一種可容忍高電壓輸入且用低電壓元件組成的史密特觸發器，係為複數個金屬氧化半導體場效電晶體所組成，其係包括有：
  - 一主要電路，其係為三個P型及三個N型金屬氧化半導體場效電晶體所組成，並由一節點A及一節點B之電壓控制其動作；
  - 一第一保護電路，其係為四個P型金屬氧化半導體場效電晶體所組成，用以使該節點A大於0.8V一特定低電壓；以及
  - 一第二保護電路，其係為四個N型金屬氧化半導體場效電晶體所組成，用以使該節點B小於2.5V一特定高電壓。
2. 如申請專利範圍第1項所述之可容忍高電壓輸入且用低電壓元件組成的史密特觸發器，其中該複數金屬氧化半導體場效電晶體之耐受跨電壓為2.5V（伏特）。
3. 如申請專利範圍第1項所述之可容忍高電壓輸入且用低電壓元件組成的史密特觸發器，其中該複數金屬氧化半導體場效電晶體的處理製程之精密度為0.13 $\mu$ m，且其耐受電壓為1V至2.5V。節點A大於該特定低電壓，其該特定低電壓值係為0.8V。
4. 如申請專利範圍第1項所述之可容忍高電壓輸入且用低電壓元件組成的史密特觸發器，其中該節點B小於該特定高電壓，其該特定高電壓值係為2.5V。
5. 如申請專利範圍第1項所述之可容忍高電壓輸入且用低



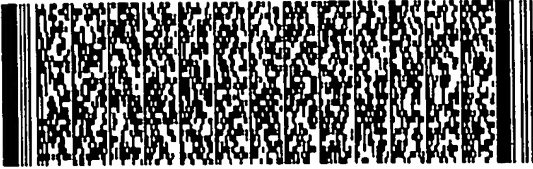


六、申請專利範圍

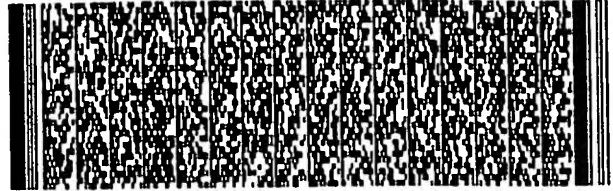
電壓元件組成的史密特觸發器，其中該第二保護電路中之一N型金屬氧化半導體場效電晶體為一（native  $V_t$ ）N型金屬氧化半導體場效電晶體。



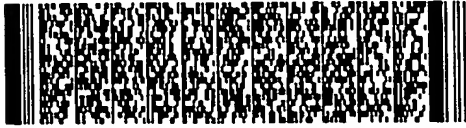
第 1/15 頁



第 2/15 頁



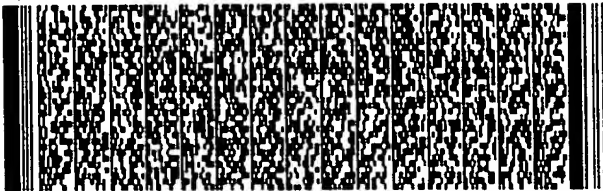
第 3/15 頁



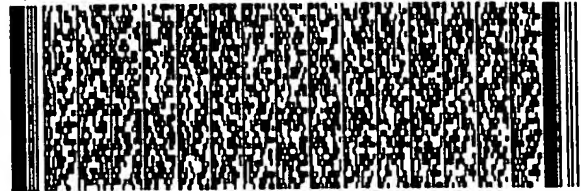
第 4/15 頁



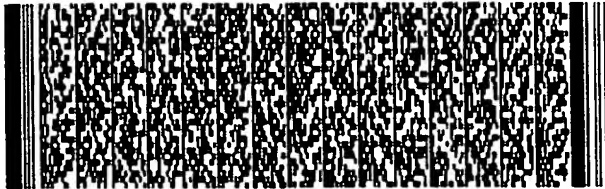
第 5/15 頁



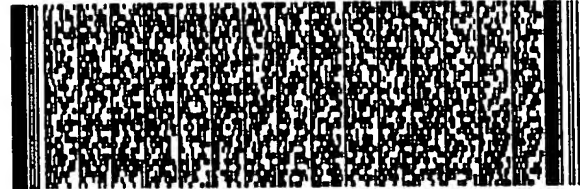
第 5/15 頁



第 6/15 頁



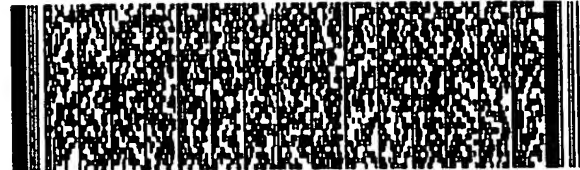
第 6/15 頁



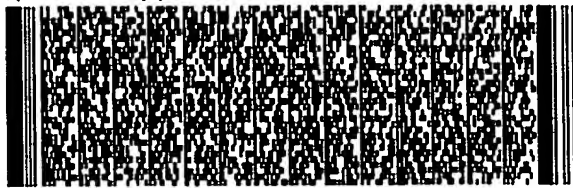
第 7/15 頁



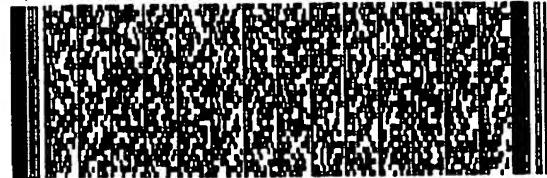
第 7/15 頁



第 8/15 頁



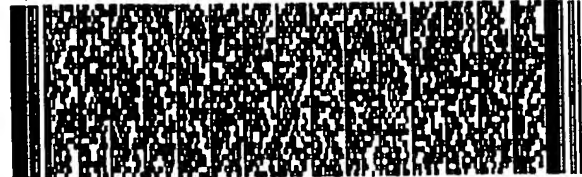
第 8/15 頁



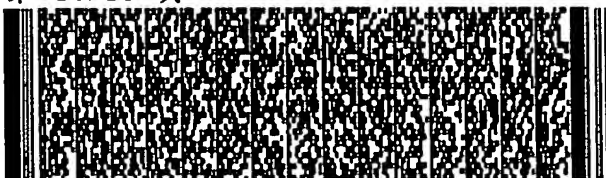
第 9/15 頁



第 9/15 頁



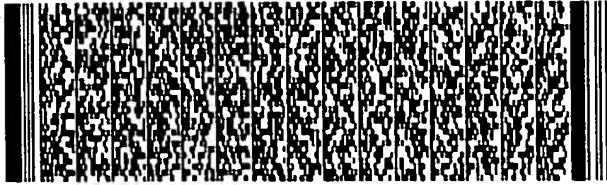
第 10/15 頁



第 10/15 頁



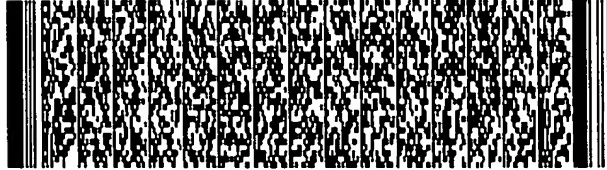
第 11/15 頁



第 11/15 頁



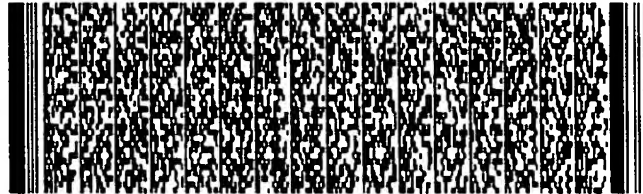
第 12/15 頁



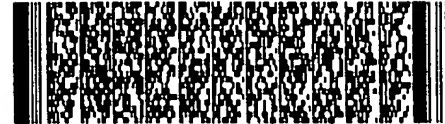
第 13/15 頁



第 14/15 頁



第 15/15 頁



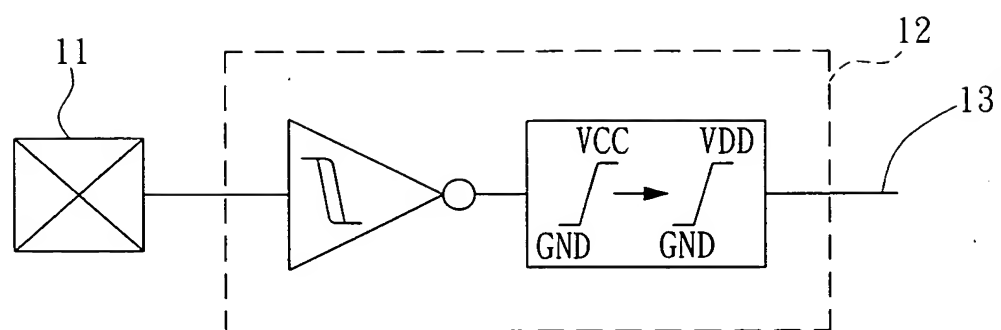
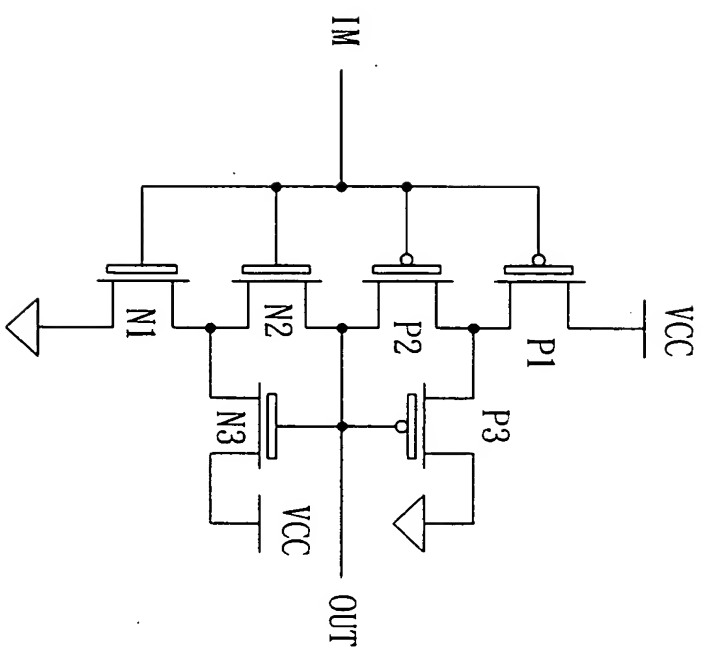
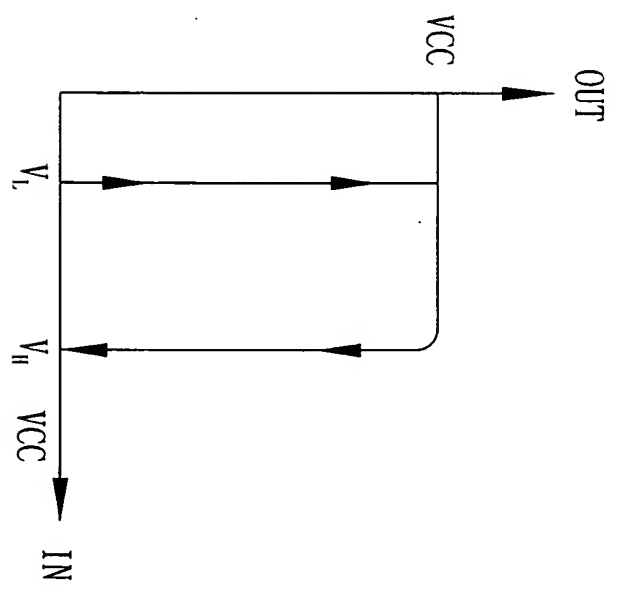


圖 一



圖二 A



圖二 B

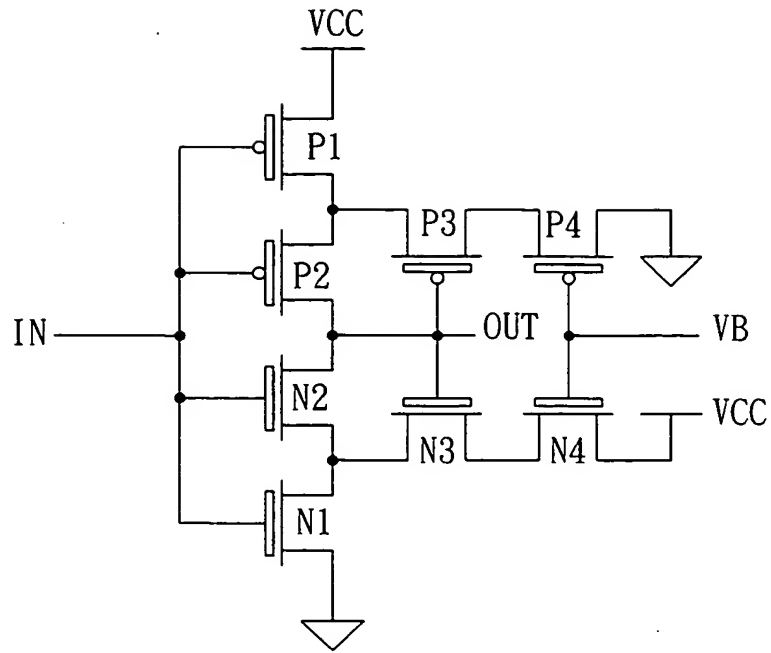


圖 三

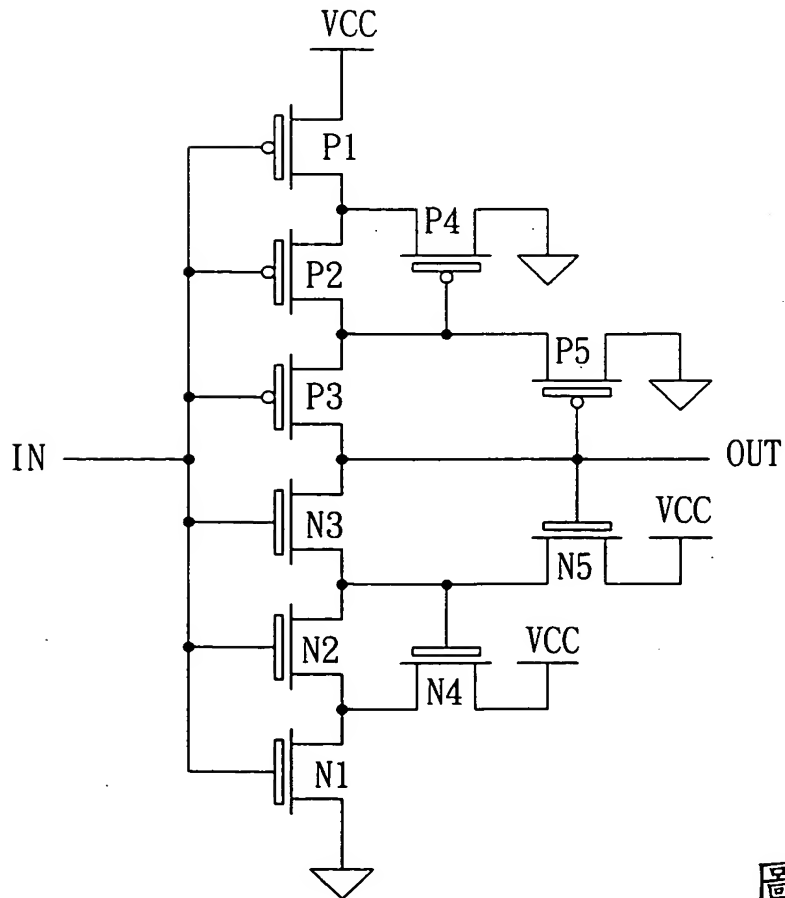


圖 四

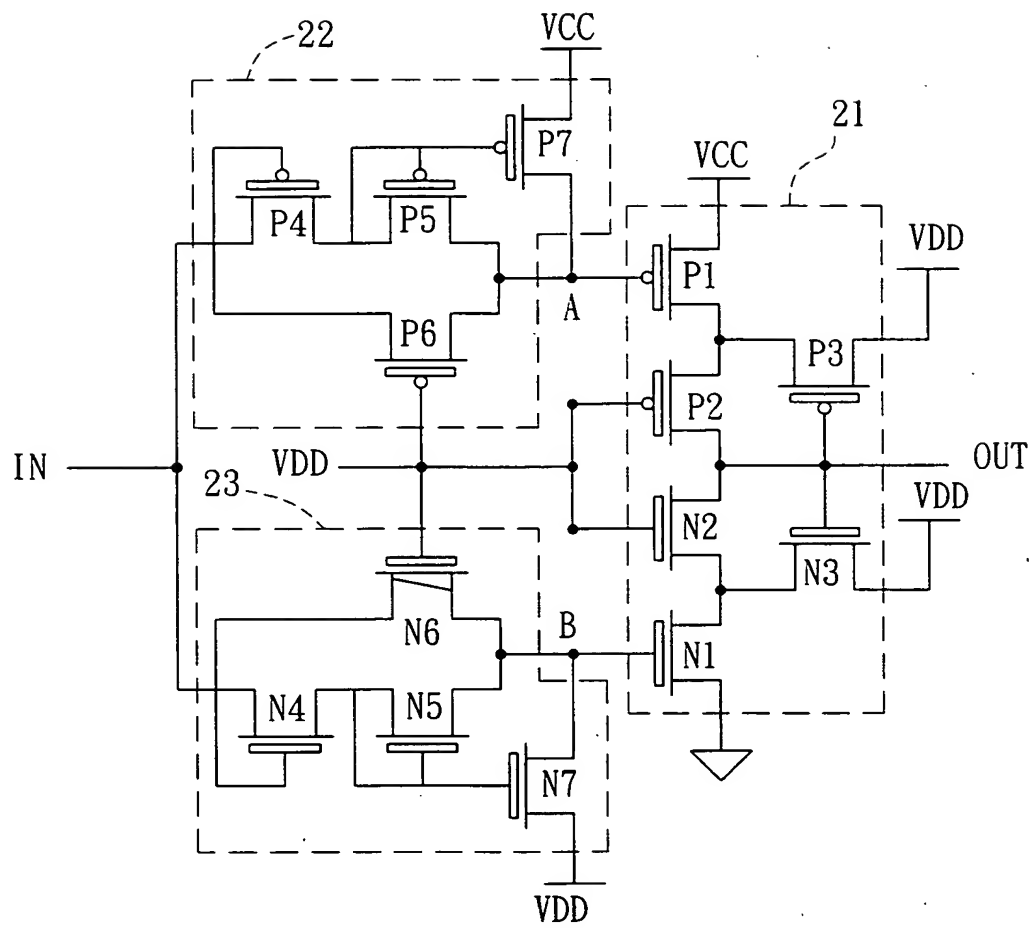
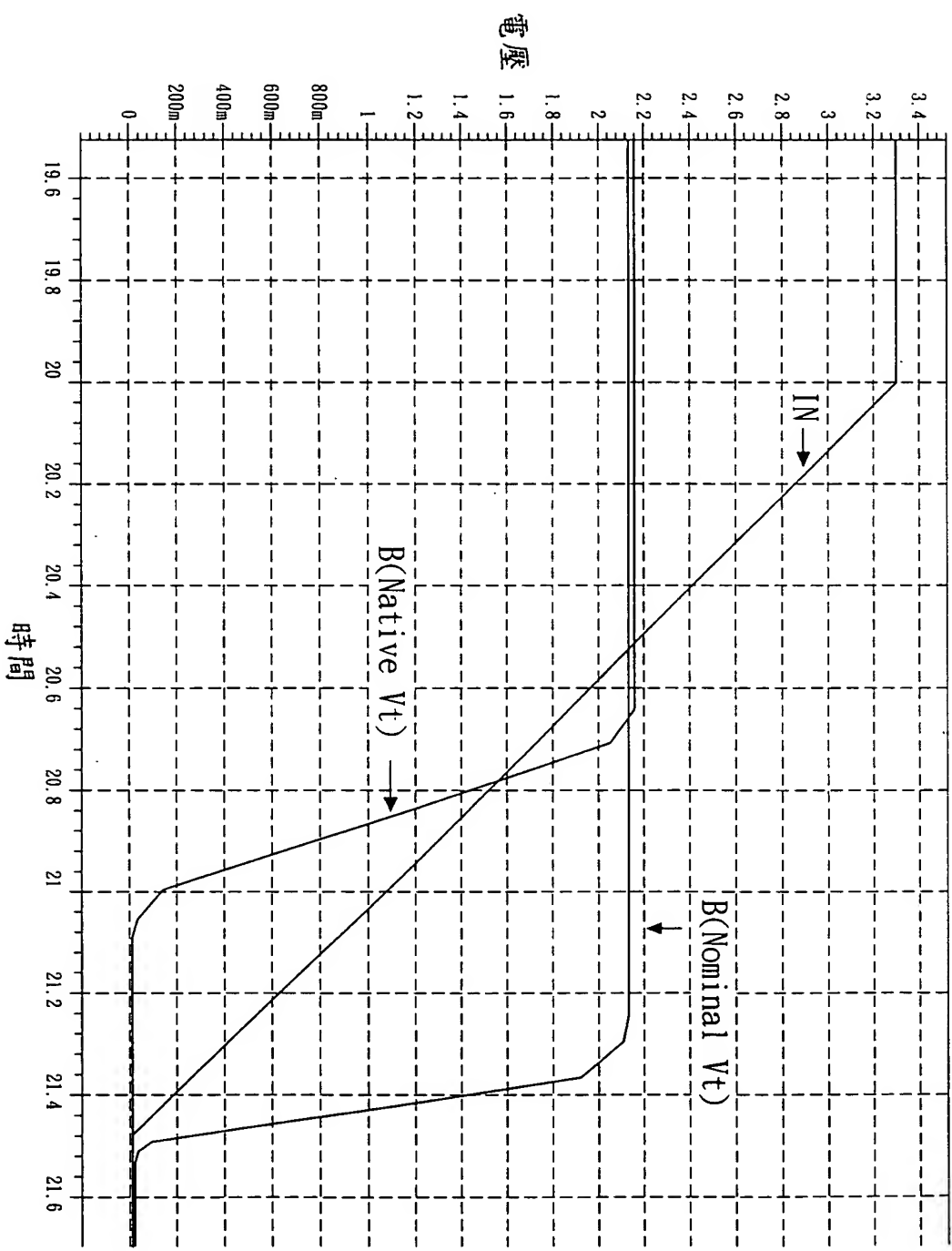


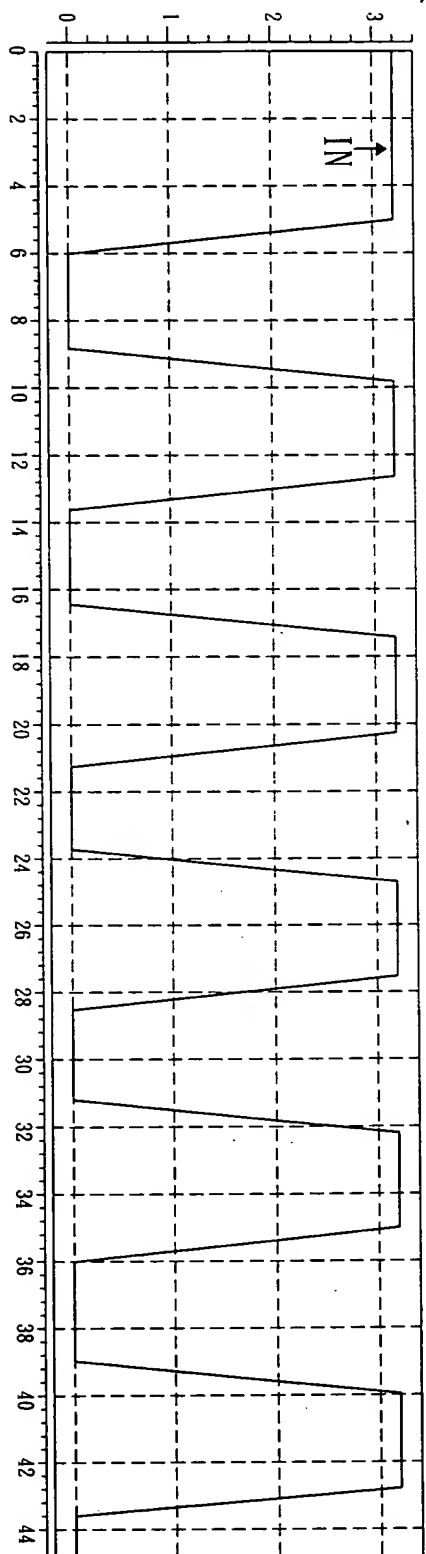
圖 五



圖六



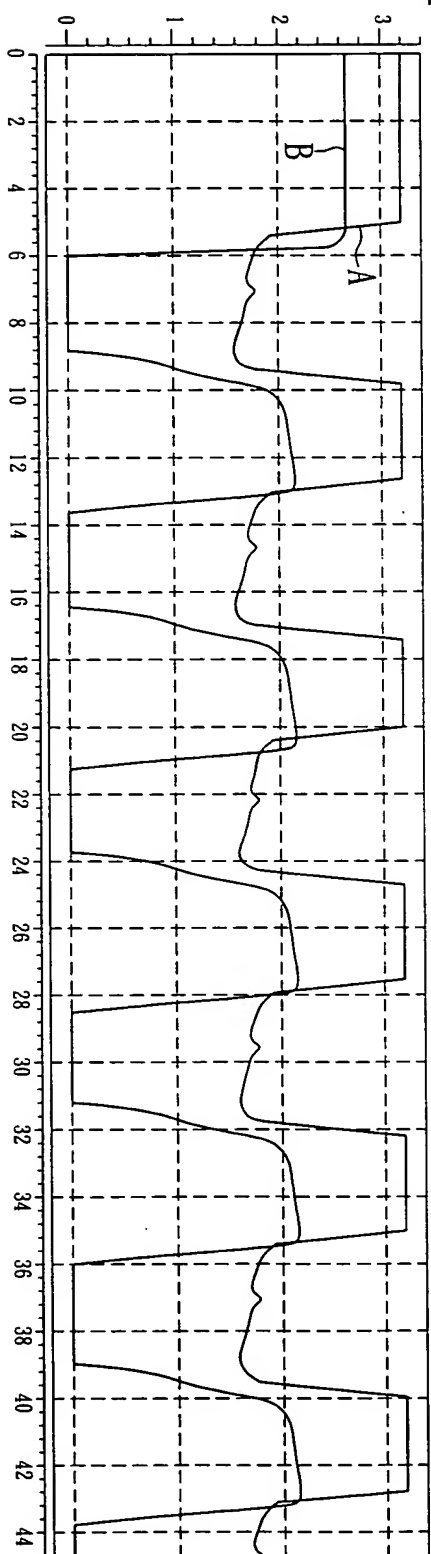
電壓



時間

圖 七 A

電壓



時間

圖 七 B

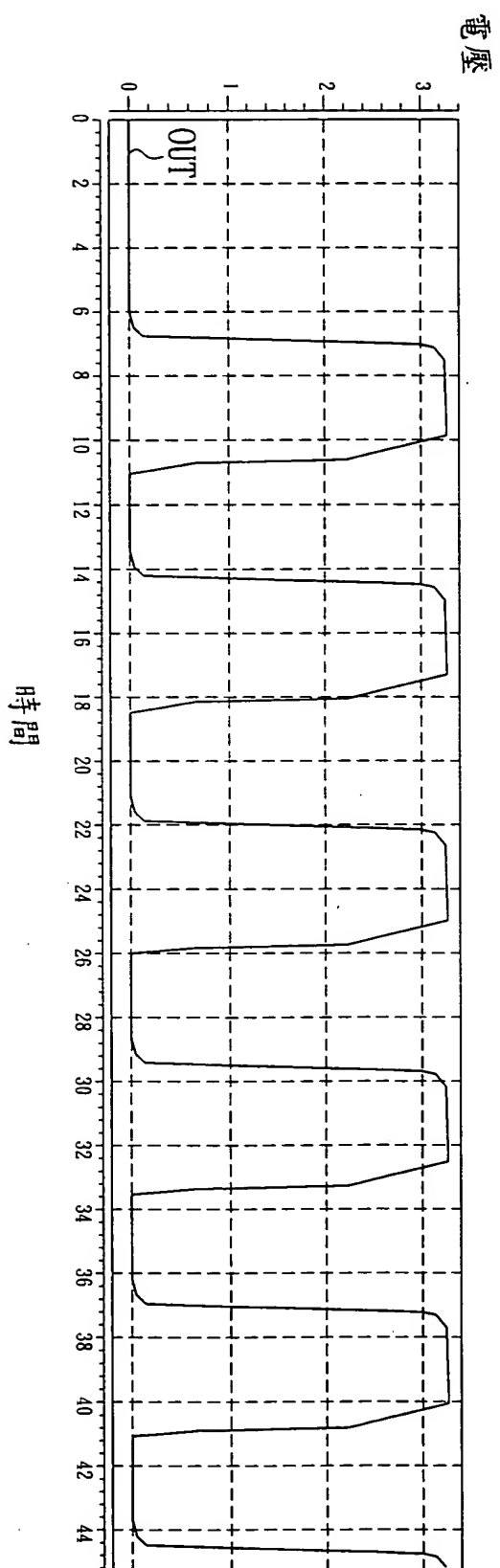
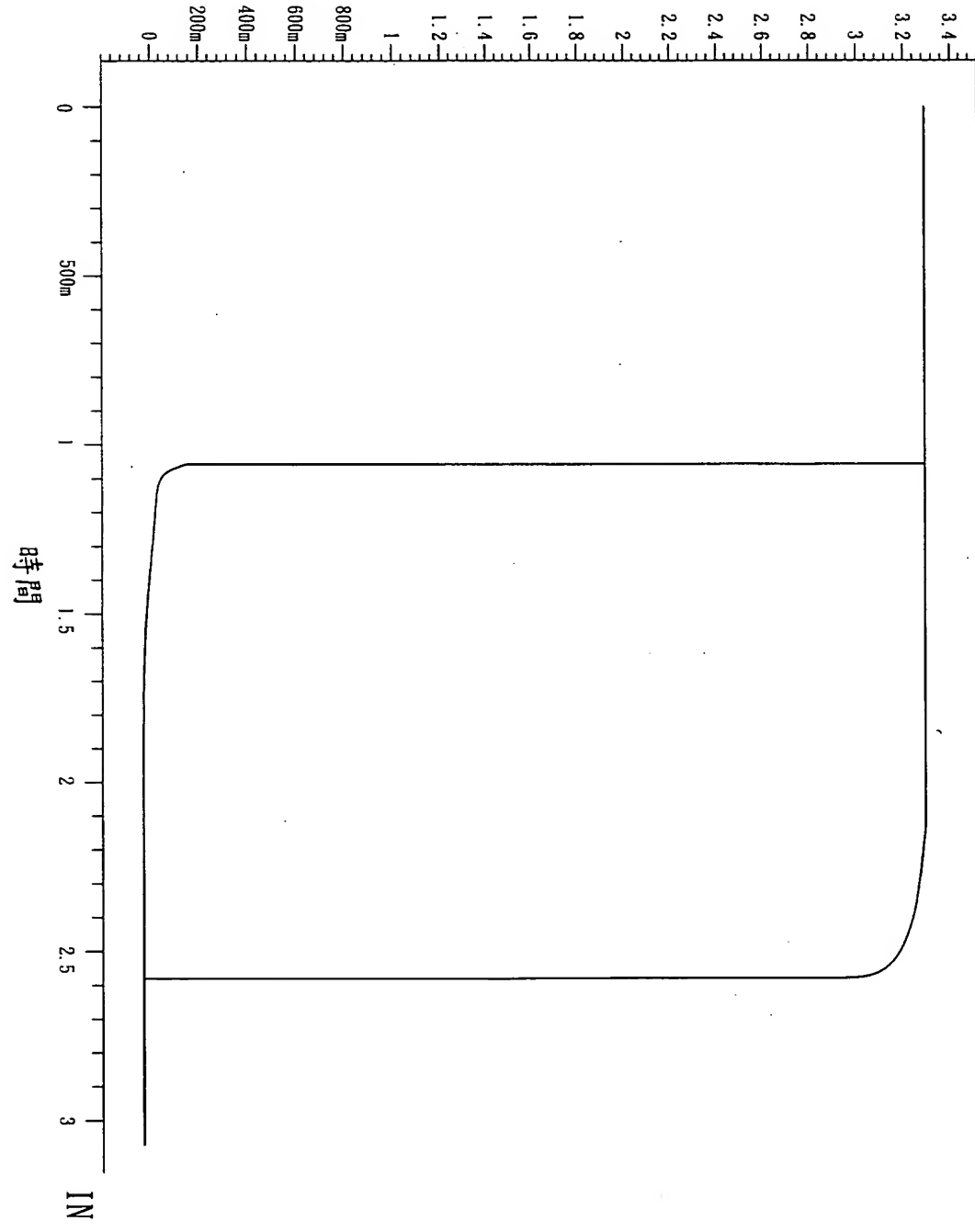


圖 七 C

OUT

電壓



圖八